

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平10-506503

(43) 公表日 平成10年(1998) 6月23日

(51) Int.Cl.⁸

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

3 0 1 X

3 0 1 D

審査請求 未請求 予備審査請求 未請求(全 18 頁)

(21) 出願番号 特願平9-506484
(86) (22) 出願日 平成8年(1996) 7月11日
(85) 翻訳文提出日 平成9年(1997) 3月19日
(86) 国際出願番号 PCT/IB96/00678
(87) 国際公開番号 WO97/04488
(87) 国際公開日 平成9年(1997) 2月6日
(31) 優先権主張番号 95201989. 1
(32) 優先日 1995年7月19日
(33) 優先権主張国 オランダ (NL)
(81) 指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, L U, MC, NL, PT, SE), J P, K R

(71) 出願人 フィリップス エレクトロニクス ネムローゼ フェンノートシャップ
オランダ国 5621 ベーアー アインドーフェン フルーネヴァウツウェッハ 1
(72) 発明者 ルディクホイゼ アドリアヌス ヴィレム
オランダ国 5621 ベーアー アインドーフェン フルーネヴァウツウェッハ 1
(74) 代理人 弁理士 杉村 暁秀 (外6名)

(54) 【発明の名称】 HV-LDMOST型の半導体装置

(57) 【要約】

電流をスイッチングする場合、スイッチング・オフにより特に誘導性負荷の場合にトランジスタのドレイン電極に高電圧を生ぜしめる。高圧ラテラルDMOSTを用いると、このような高電圧によりトランジスタに不安定性を導入するか又はトランジスタを損傷せしめるおそれもある。これを改善するために本発明によれば高圧LDMOSTのドレインに (nチャネルトランジスタの場合) 多量にドーピングしたn型領域 (18; 21) を設け、このn型領域を表面からみてソース領域 (8) よりも深い位置まで半導体本体中に下方に延在させ、このn型領域が無い場合のトランジスタのBV_{DS}よりも低いブレイクダウン電圧を有するpn接合を半導体本体中で比較的深い位置に形成する。これによりインダクタンスに蓄積された電力をブレイクダウンにより導出することができる。このブレイクダウンはpn接合が比較的深い位置にある為にトランジスタの通常電流路から分離され、トランジスタの耐久力が改善される。ドレインにおける深い前記n型領域は例えばエピタキシャル層と基板との間の境界における埋込層を以って構成することがで

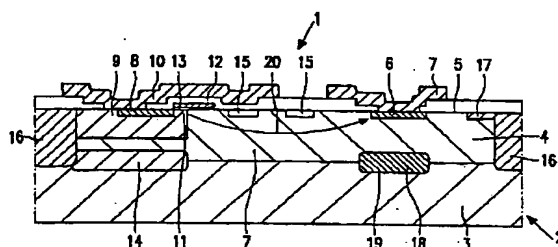


FIG. 1

【特許請求の範囲】

1. 高圧ラテラルDMOSトランジスタ(HV-LDMOST)を具える半導体装置であって、この半導体装置は、比較的わずかにドーピングされた第1導電型のシリコン基板と、このシリコン基板上に設けられた、比較的わずかにドーピングされたエピタキシャル層とを有する半導体本体を具えており、前記エピタキシャル層は前記半導体本体の表面に隣接しており、前記トランジスタは、前記表面に位置し比較的多量にドーピングされ第1導電型とは反対の第2導電型とした表面領域を有するドレインと、比較的わずかにドーピングされた第2導電型のドリフト領域と、比較的多量にドーピングされ、前記表面に隣接する第1導電型の基体領域内にこの表面に隣接して設けられた第2導電型のソース領域と、前記表面の上方にこの表面から電気絶縁されて設けられた制御電極とを具えている当該半導体装置において、

前記ドレインが多量にドーピングされた第2導電型の領域を有し、この第2導電型の領域が前記表面から見て前記ソース領域よりも深く半導体本体中に延在し、これによりこの第2導電型の領域が存在しない場合のトランジスタの BV_{ds} よりも低いブレイクダウン電圧を有するpn接合が形成され、このpn接合はブレイクダウンした場合に、トランジスタが導通状態にある際のソース及びドレイン間の電流通路から分離された電流通路を形成するようになっていることを特徴とする半導体装置。

2. 請求の範囲1に記載の半導体装置において、比較的多量にドーピングされた第1導電型の埋込領域が前記エピタキシャル層と前記基板との間の境界に隣接して局部的に設けられ、この埋込領域は前記表面で見て前記ソース領域から前記ドリフト領域まで又はほぼドリフト領域まで延在していることを特徴とする半導体装置。

3. 請求の範囲2に記載の半導体装置において、前記エピタキシャル層は第2導電型であり、前記ドリフト領域は前記ドレインと前記基体領域との間のエピタキシャル層の部分を以って構成されていることを特徴とする半導体装置。

4. 請求の範囲3に記載の半導体装置において、前記多量にドーピングされた第

2 導電型の埋込領域が、前記ドレインの区域において前記エピタキシャル層及び前記基板間の境界に設けられている埋込領域となっていることを特徴とする半導体装置。

5. 請求の範囲 4 に記載の半導体装置において、第 1 導電型の前記埋込領域と第 2 導電型の前記埋込領域との間の距離が、前記ドレインと前記半導体本体との間の $p-n$ 接合にまたがるブレークダウン電圧を規定していることを特徴とする半導体装置。

6. 請求の範囲 1 に記載の半導体装置において、前記多量にドーピングされた第 2 導電型の領域が、前記表面から、前記ソース領域よりも深い位置まで半導体本体中に延在していることを特徴とする半導体装置。

7. 請求の範囲 1 ～ 6 のいずれか一項に記載の半導体装置において、前記ドリフト領域が RESURF 型であることを特徴とする半導体装置。

【発明の詳細な説明】

HV-LDMOST型の半導体装置

本発明は、高圧ラテラルDMOSTトランジスタ（HV-LDMOST）を具える半導体装置であって、この半導体装置は、比較的わずかにドーピングされた第1導電型のシリコン基板と、このシリコン基板上に設けられた、比較的わずかにドーピングされたエピタキシャル層とを有する半導体本体を具えており、前記エピタキシャル層は前記半導体本体の表面に隣接しており、前記トランジスタは、前記表面に位置し比較的多量にドーピングされ第1導電型とは反対の第2導電型とした表面領域を有するドレインと、比較的わずかにドーピングされた第2導電型のドリフト領域と、比較的多量にドーピングされ、前記表面に隣接する第1導電型の基体領域内にこの表面に隣接して設けられた第2導電型のソース領域と、前記表面の上方にこの表面から電気絶縁されて設けられた制御電極とを具えている当該半導体装置に関するものである。

このような装置は例えば欧州特許出願公開第EP-A 0 5 1 4 0 6 0 A 2号明細書から既知である。この既知の装置におけるエピタキシャル層は基板と同じ導電型をしており、従って通常の例ではp型である。ドリフト領域は、エピタキシャル層中に設けられ比較的わずかにドーピングされたn型表面層を以って形成されている。トランジスタの基体（ボディ）領域はエピタキシャル層中に設けられたp型表面領域を以って構成され、この表面領域は通常、この領域内に形成され多量にドーピングされたn型ソース領域と短絡されている。高オーム抵抗のp型基板と、同じく高オーム抵抗のエピタキシャル層との間の境界には、前記基体領域の下側で且つこの基体領域に電氣的に接続され、多量にドーピングされたp型埋込領域（層）が設けられている。ドリフト領域の上方の制御電極の縁部における電界分布のピークがこのドリフト領域により平滑化される為、ブレイクダウン電圧を高めることができる。種々の領域のドーピング濃度や厚さのような種々のパラメータに応じて1000ボルトを越えた値を上限とする数百ボルトのブレイクダウン電圧を得ることができる。文献で既知のRESURF原理を用いてブレイクダウン電圧を高めるようにするのが有利であり、一方、ブレイクダウンが生

じる前にドリフト領域が、例えば好ましくは表面における電界プレートと関連させてこの表面に対向するp-n接合から、この表面に対して交差する方向で少なくとも局部的にこのドリフト領域の厚さ全体に亘り空乏化されるように、ドリフト領域のドーピング及び厚さを選択する。この空乏化は電界を減少させ、従ってブレークダウン電圧を高める。

大電流をスイッチ・オン及びスイッチ・オフさせる多くの分野では、特に誘導性負荷の結果としてスイッチング・オフ時に高電圧のピークがスイッチングトランジスタのドレインに生じる。バーチカルDMOS Tでは、背面ゲートとドレインとの間のp-n接合にまたがるブレークダウンを用いてインダクタンスに蓄積されている電力を処理することができる。このブレークダウンはチャネル領域の外側の背面ゲートに追加のドーピングを行なうことにより所望の値にすることができる。しかし、このようにすることはラテラル高圧DMOS Tの現在の技術では知られていない。

ドリフト領域の長さを十分に長くしたラテラル高圧DMOS Tの変形例では、表面に対向する、ドレインのp-n接合にまたがるブレークダウンはドレインにおける電圧が増大した際に最終的に生じる為、誘導的に蓄積された電力はソース接点を経て導出させることができる。しかしこの解決策は殆どの場合可能でない。その理由は、トランジスタのオン抵抗(R_{on})を低く保つ目的でソース及びドレイン間の距離を通常短く選択する為である。その結果、ドレインと半導体本体との間のp-n接合のブレークダウン電圧がトランジスタの BV_d (ソースードレインブレークダウン電圧) よりも著しく高いレベルとなる。この後者の形態のブレークダウンの結果しばしば、例えばしきい値電圧のようなトランジスタのある特性が変化し、トランジスタを破壊せしめることもしばしばあり、従ってこの形態のブレークダウンはドレインにおける前記の電圧ピークに対処するのに有効ではない。

本発明の目的は、トランジスタのドレインにおける高電圧ピークに対応する電荷を有効に排出する手段が設けられ、トランジスタ特性の劣化を回避したラテラル高圧DMOS Tランジスタを有する半導体装置を提供せんとするにある。

本発明によれば、前述した種類の半導体装置において、前記ドレインが多量にドーピングされた第2導電型の領域を有し、この第2導電型の領域が前記表面から見て前記ソース領域よりも深く半導体本体中に延在し、これによりこの第2導電型の領域が存在しない場合のトランジスタの BV_{ds} よりも低いブレークダウン電圧を有するpn接合が形成され、このpn接合はブレークダウンした場合に、トランジスタが導通状態にある際のソース及びドレイン間の電流通路から分離された電流通路を形成するようになっていることを特徴とする。

本発明は、ラテラルDMOSTが通常、このDMOSTのそばにバイポーラトランジスタ又はCMOS回路のような他の回路素子を有する集積回路の一部を構成しているという事実を利用している。このことは、所望のブレークダウン電圧を得るための製造処理を変えことなくDMOSTの構造をしばしば変えることができるということを意味する。ドレインに、多量にドーピングした第2導電型の深い領域を設けると、半導体本体中に比較的深く位置し、所望のブレークダウン電圧を有するpn接合が得られる。ブレークダウンはトランジスタの正規の電流路で生じない為、トランジスタの正規の電流導通はドレインの追加のpn接合により全く或いは殆ど影響されない。

通常、基板と同一の導電型であるも基板よりも高いドーピング濃度とした比較的少量にドーピングされた領域をエピタキシャル層と基板との間の境界に設け、この領域を表面で見てソース領域からドリフト領域まで或いは少なくとも殆どこのドリフト領域まで延在させる。

一例ではエピタキシャル層を第1導電型、すなわち前述した既知の装置の場合のように基板と同一の導電型とすることができる。本発明の他の例では、エピタキシャル層を第2導電型とし、ドリフト領域をドレインと基体領域との間のエピタキシャル層の一部分を以って構成する。本発明の更に他の例では、前記少量にドーピングされた第2導電型の埋込領域が、前記ドレインの区域において前記エピタキシャル層及び前記基板間の境界に設けられているようにする。第2導電型の埋込領域は通常他の回路素子の領域、例えばバイポーラトランジスタの埋込コレクタ領域と同時に形成することができる。トランジスタの基体領域の下側の第1導電型の埋込領域をも有する本発明の好適例では、第1導電型の前記埋込領域

と第2導電型の前記埋込領域との間の距離が、前記ドレインと前記半導体本体との間のpn接合にまたがるブレークダウン電圧を規定しているようにする。この場合、ブレークダウンは2つの埋込領域間で生じ、従ってトランジスタのドリフト領域中の正規の電流路から充分に離れており、トランジスタが導通した際のドリフト領域中での早期の電流増倍が防止される。ブレークダウン中の電流路も同時に比較的低いオーム抵抗性となる。高電圧に用いるのに有利な本発明の半導体装置の他の例では、前記多量にドーピングされた第2導電型の領域が、前記表面から、前記ソース領域よりも深い位置まで半導体本体中に延在しているようにする。

本発明の上述した特徴及びその他の特徴を幾つかの実施例につきより詳細に説明する。図中、

図1は本発明によるLDMOSTの第1実施例を示す断面図であり、

図2は本発明によるLDMOSTの第2実施例を示す断面図であり、

図3は本発明による他の実施例を示す断面図である。

図1は本発明によるラテラル高圧DMOSTランジスタ1の第1実施例を示す断面図である。本発明によるトランジスタはnチャネル型であるが、これに代えてトランジスタをpチャネル型にすることができると明らかであり、この目的のためには以下に述べる導電型を逆にすれば充分である。このトランジスタは、共通半導体本体にこのトランジスタと一緒に設けられる他の素子を有する集積回路の一部を構成することができる。これらの他の素子の構成には何の変更もない為、図面にはLDMOST1のみを示してある。このトランジスタは、比較的わずかにドーピングされた基板3と、この基板上に成長され同じく比較的わずかにドーピングされたエピタキシャル層4とを有するシリコンの半導体本体2内に設けられ、このトランジスタは装置を動作させる電圧が高い、例えば700Vと1200Vとの間であるという点で表面5に隣接している。基板3は、約 $90\Omega\text{-cm}$ の固有抵抗に相当する約 $1.5 \cdot 10^{14}$ 原子/ cm^3 のドーピング濃度を有するp型の<100>シリコンである。本例ではエピタキシャル層4は、約 $7 \cdot 10^{14}$ 原子/ cm^3 のドーピング濃度、すなわち約 $6\Omega\text{-cm}$ の固有抵抗を有するn型のシリコンである。このエピタキシャル層の厚さは約 $23\mu\text{m}$ である。トラ

ンジスタは多量にドーピングされたn型の表面領域6を有するドレインを具え、この表面領域はドレイン電極7に接続されている。このドレインは、この表面領域に比べてわずかにドーピングされトランジスタのドリフト領域を形成するエピタキシャル層の部分7に隣接する。ソース領域はp型領域9中に設けられ多量にドーピングされたn型の表面領域8を以って構成され、このp型領域9も表面に隣接しておりトランジスタの基体(ボディ)領域を構成している。ソース領域8及び基体領域9はソース電極10により導電的に相互接続されている。トランジスタのチャネル領域はソース領域8とドリフト領域7との間に位置する領域9の部分11を以って構成される。ゲート電極12はチャネル領域の上方に位置し、ゲート酸化物13によりこのチャネル領域から絶縁されている。ゲート酸化物13の厚さは例えば $0.1\mu\text{m}$ である。ゲート誘電体はシリコン酸化物以外の材料を有することもでき、又は種々の材料の組合せを有することもできる。ブレイクダウン電圧を高めるために、基板3と同一の導電型であるもこの基板3よりもドーピング濃度が高いp型埋込領域14がエピタキシャル層と基板との間の境界に設けられている。この埋込領域はベース領域9の下方からドリフト領域7まで延在している。特に前記の欧州特許出願公開第EP-A0514060号で説明されているように、領域14はゲート電極12の下方の表面における電界強度を減少させ、ブレイクダウン電圧を高めるようにする。所望に応じ、ブレイクダウン電圧を更に高めるために、電氣的に浮動のp型表面領域15の形態の1つ又は複数の電圧上昇領域をドリフト領域内に形成することができる。ソース及び/又はドレイン電極7、10は電界プレートとして構成し、従って図面に示すようにドリフト領域の可成りの部分の上方に延在させ、表面における電界強度を更に減少させるようにすることができる。トランジスタは、表面5から基板中に下方に延在するp型島絶縁領域16により半導体本体2中の他の素子から電気絶縁されている。これらの絶縁領域はそれぞれ2つの領域を以って構成することもでき、一方の領域は表面から下方に拡散させ、他方の領域は埋込層から上方に拡散させ、これらの拡散はこれら双方の領域が合成p型領域を形成するまで行なう。この場合、埋込層は埋込領域14と同時に形成することができる。電氣的なブレイクダウンを阻止するために、深いp型領域16にブレイクダウン電圧上昇用延長部

17を設けることができ、この延長部は領域15と同時に設ける。

本発明によれば、表面から見て半導体本体中にソース領域8よりも深い位置まで延在する、多量にドーピングされたn型領域18をドレインが有する。従って、この領域18は表面5から比較的遠い位置でこの領域を囲む半導体本体の部分とpn接合を形成し、このpn接合のブレイクダウン電圧はトランジスタのソース及びドレイン間のブレイクダウン電圧 BV_{ds} よりも低い。この領域18を埋込領域を以って構成した本例では、pn接合19は領域18とp型基板3との間に形成される。埋込領域18のドーピング濃度は例えば $5 \cdot 10^{18}$ 原子/cm³である。

上述したドーピング濃度及び厚さを与えることにより、例えば800Vの BV_{ds} を有するトランジスタを製造することができ、この場合文献から既知のRESURF原理を用いることができる。この原理によれば、表面に隣接するpn接合の1つがブレイクダウンする前に、エピタキシャル層又は少なくともドリフト領域がその厚さ全体に亘り、基板とエピタキシャル層との間のpn接合から及び表面から空乏化されるようにエピタキシャル層の厚さ及びドーピング濃度を選択する。pn接合19のブレイクダウン電圧は約500Vである。例えば、スイッチング・オフ時に誘導性負荷により高ピークの電圧がドレインに生じた場合に、トランジスタにブレイクダウンが生じる前にpn接合19の両端間にブレイクダウンが生じる。この場合、この高ピークの電圧と関連する電荷は基板及びソース電極10を経て導出することができる。この電流路はトランジスタが導通している場合このトランジスタの通常の電流路20から空間的に完全に分離されている。その結果、埋込領域18の存在によりトランジスタの電流路で全く或いは殆ど電流増倍を生ぜしめず、トランジスタの安定性が満足に保たれる。

図2は図1の装置の変形例を示し、この場合埋込領域14及び18間の距離は、ブレイクダウンが埋込領域18と基板3との間ではなくこれら埋込領域14及び18間で生じる程度に短くなっている。本例は、ブレイクダウン電圧を図1の例で達成しうるよりも低くする必要がある場合に用いるのが有利である。実際例では、埋込領域間の距離を例えば50 μ mとし、約500Vのブレイクダウン電圧が得られた。この点で、領域14を表面領域6に接近するように延在させ領域

18を省略した他の変形例で所望の値のブレイクダウン電圧を得ることもできることに注意すべきである。しかし、このトランジスタでは安定性が比較的低くなった。その理由は、電氣的なブレイクダウンがトランジスタの電流路20で或いはこれに接近して生じた為である。従って、このトランジスタの有効性は低く、全く用いられない場合もある。

図3は、本発明による高圧LDMOSTの更に他の変形例を示す。この場合、ドレインに多量にドーピングされたn型表面領域21が設けられており、この表面領域は表面から、ソース領域8よりも深い位置までエピタキシャル層4中に延在している。一例では、この表面領域21をエピタキシャル層4の厚さ全体に亘って延在させて基板とpn接合を形成し、このpn接合が高電圧でブレイクダウンするようにしうる。図3に示す実施例では、表面領域21をp型基板3に接近する位置まで延在させ、エピタキシャル層4の最初のドーピングを有する部分22によって基板から分離させる。表面領域21と基板3との間に形成されているpn接合23のブレイクダウン電圧はドーピング濃度によるばかりではなく、部分22の厚さによっても決定される。この厚さを充分厚く選択することによりブレイクダウン電圧を高くすることができる。この図3に示すトランジスタもブレイクダウン時に高い安定性を呈する。その理由は、表面領域21と基板との間にあり、従って電流通路20から横方向で分離された領域でブレイクダウンが生じる為である。

表面領域21は処理上のいかなる変更も導入することなく通常の処理で形成することもできる。例えば、バイポーラトランジスタを有する集積回路の場合、表面領域21を深いコレクタ接点領域と同時に設けることができる。

図3における表面領域21と同じ深いn型領域を図1及び2の例で用いても有利である。このようにすると、これらの例でのブレイクダウン通路の抵抗値が減少し、より多くの電流を導出しうる。

本発明は上述した実施例に限定されず、本発明の範囲内で種々の変形が当業者にとって可能であること明らかである。例えば、上述した実施例の変形でp型エピタキシャル層を用いることもでき、このエピタキシャル層に設けられドーピングされた領域を以ってn型ドリフト領域を形成することができる。更に、基体領

【図3】

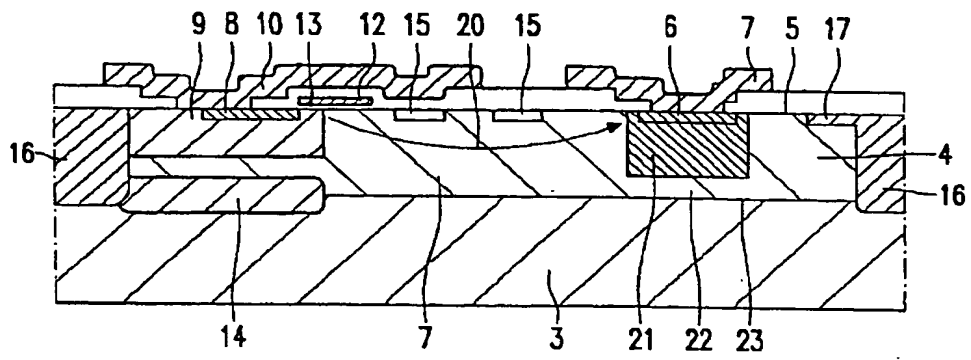


FIG. 3

【手続補正書】

【提出日】 1997年3月24日

【補正内容】

1. 明細書第5頁第4行の「部分7」を「部分27」に訂正する。
2. 同第5頁第8行および15行の「ドリフト領域7」を「ドリフト領域27」にそれぞれ訂正する。
3. 図面の図1、図2および図3で下側に付した「7」を「27」に訂正する。

【図1】

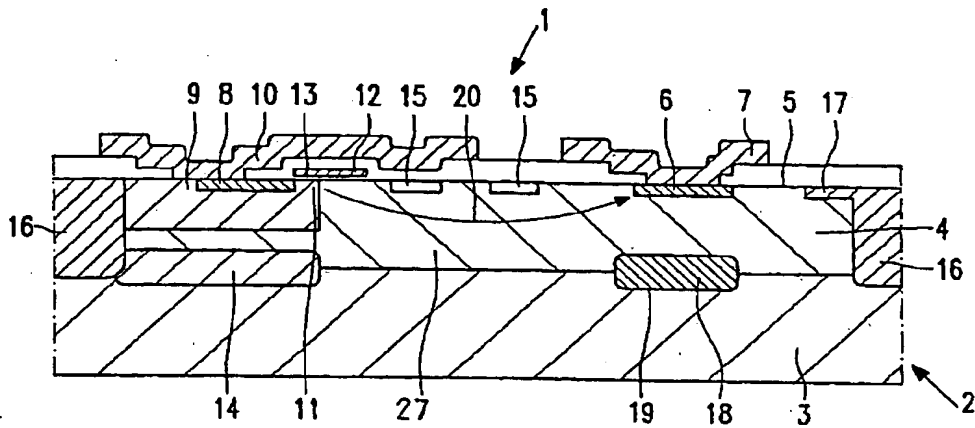


FIG. 1

【図2】

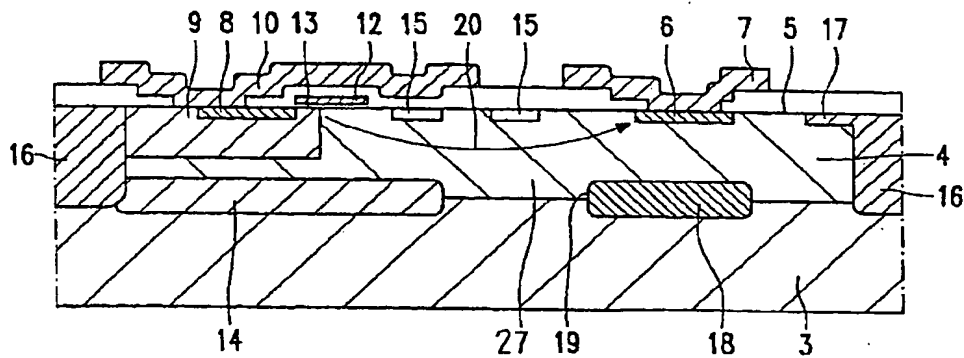


FIG. 2

【図3】

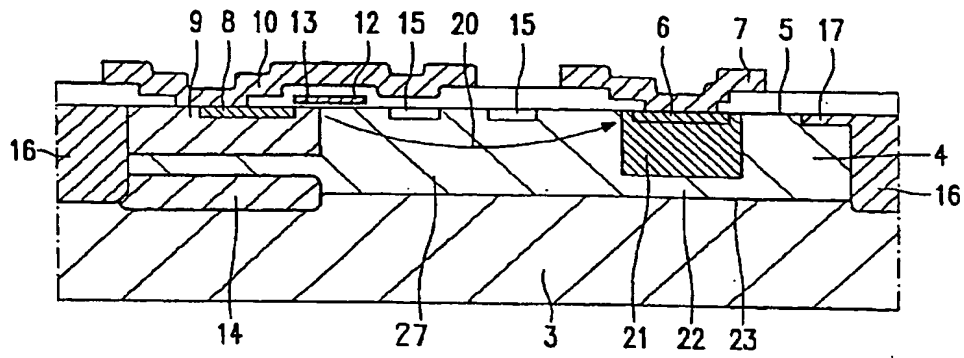


FIG. 3

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 96/00678

A. CLASSIFICATION OF SUBJECT MATTER		
IPC6: H01L 29/78 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC6: H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
SE,DK,FI,NO classes as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0514060 A2 (SILICONIX INCORPORATED), 19 November 1992 (19.11.92) --	1-7
A	EP 0550015 A1 (TEXAS INSTRUMENT INCORPORATED), 7 July 1993 (07.07.93) --	1-7
A	EP 0634798 A1 (PHILIPS ELECTRONICS N.V.), 18 January 1995 (18.01.95) --	1-7
A	US 5369045 A (WIA T. NG ET AL), 29 November 1994 (29.11.94) --	1-7
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
18 March 1997		18 -03- 1997
Name and mailing address of the ISA/ Swedish Patent Office Box 5055, S-102 42 STOCKHOLM Facsimile No. +46 8 666 02 86		Authorized officer Stig Edhborg Telephone No. +46 8 782 25 00

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 96/00678

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5382536 A (SATWINDER MALHI ET AL), 17 January 1995 (17.01.95) --	1-7
A	GB 2150746 A (SERAG EL-DIN EL-SAYED HABIB), 3 July 1985 (03.07.85) -- -----	1-7

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB 96/00678

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A2- 0514060	19/11/92	JP-A- 5259444	08/10/93
		US-A- 5374843	20/12/94
		US-A- 5386136	31/01/95
		US-A- 5514608	07/05/96
EP-A1- 0550015	07/07/93	JP-A- 5343675	24/12/93
		US-A- 5306652	26/04/94
		US-A- 5406110	11/04/95
		US-A- 5578514	26/11/96
EP-A1- 0634798	18/01/95	AU-A- 6742494	19/01/95
		BE-A- 1007283	09/05/95
		CA-A- 2127645	13/01/95
		CN-A- 1103206	31/05/95
		HU-A- 68222	28/06/95
		HU-D- 9402061	00/00/00
		JP-A- 7038097	07/02/95
		US-A- 5473180	05/12/95
US-A- 5369045	18/01/94	NONE	
US-A- 5382536	17/01/95	JP-A- 6318697	15/11/94
GB-A- 2150746	03/07/85	NONE	

【要約の続き】
きる。